

PLACA CENTRAL - MANUAL DE UTILIZAÇÃO

1 Hardware

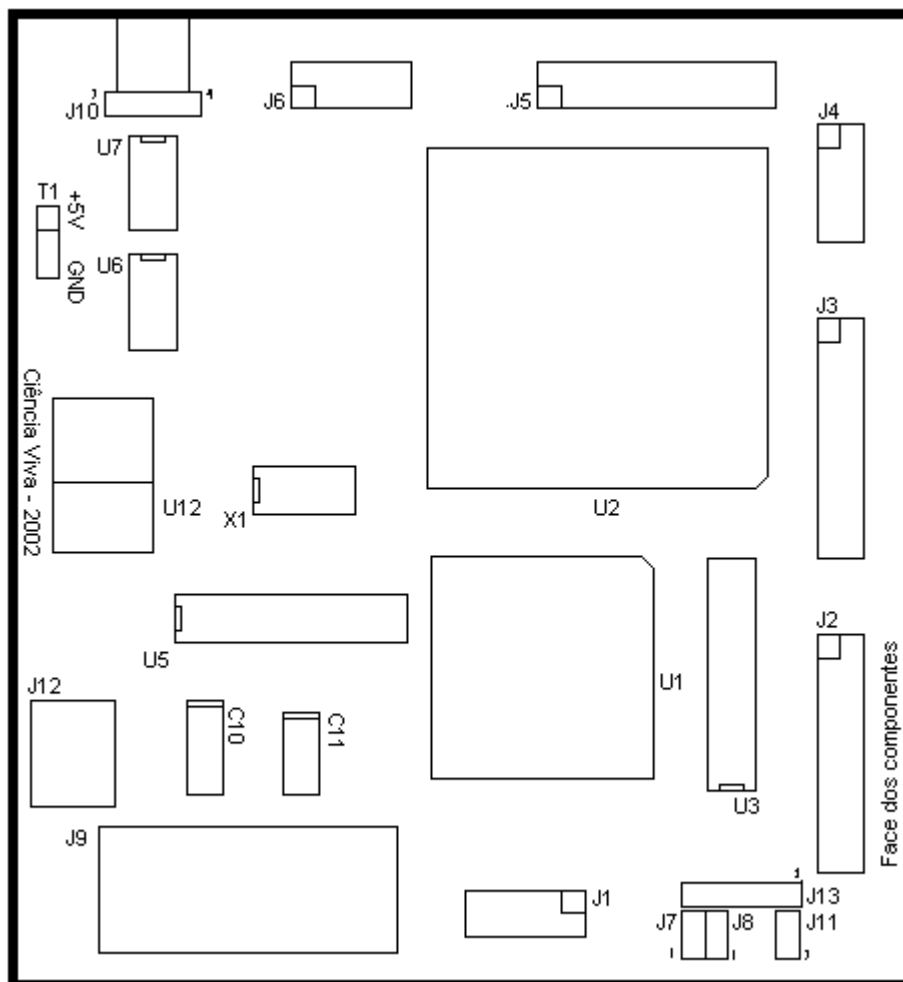


Figura 1 – Placa CPU (face dos componentes)

U1	μControlador	T89C51RD2
U2	FPGA	EPF10K10LC84-4
U3	PAL	16L8
U4	Buffer	74HCT244
U5	Interface RS232	MAX203
U6, U7	Memória E ² PROM série	24LC256

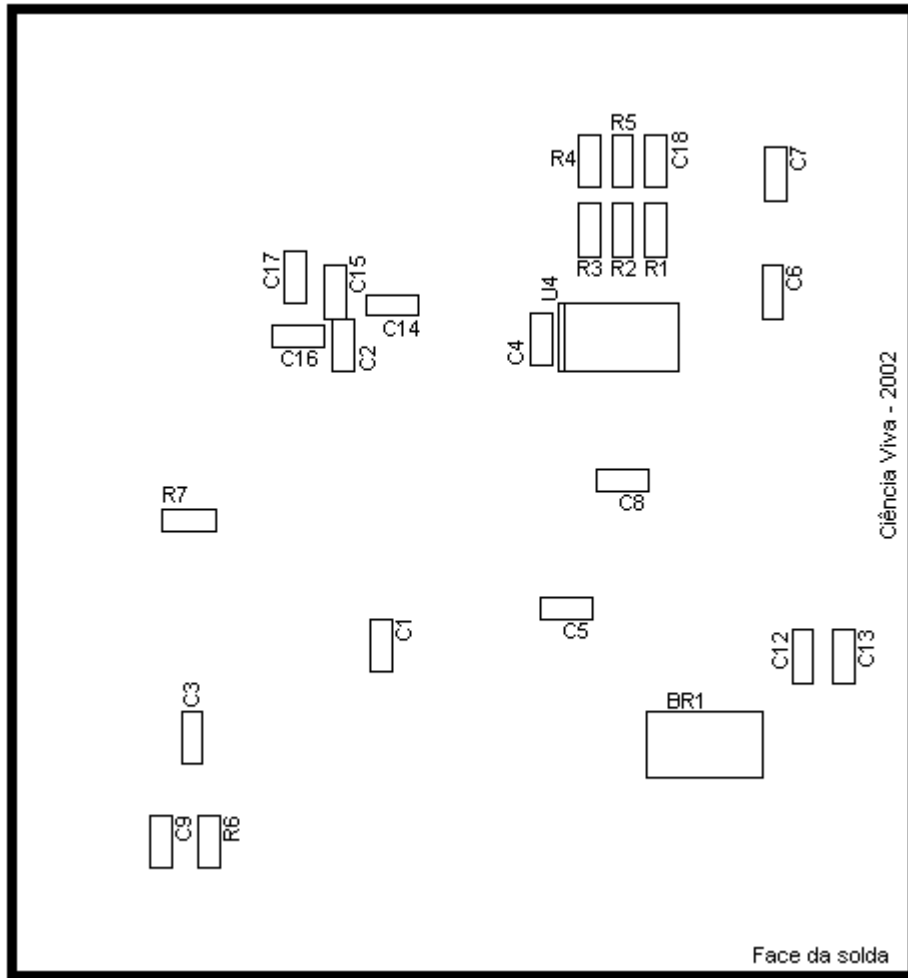


Figura 2 – Placa CPU (face da solda)

2 Fichas e Jumpers

➤ Ficha J1

- 10 pinos, flat cable
- 8 bits do Porto 2 do μ C que poderão ser utilizados como barramento A8..15 para expansão de memória

J1			
Pino nº	Função	Pino nº	Função
1	+5V	2	P2.0
3	P2.1	4	P2.2
5	P2.3	6	P2.4
7	P2.5	8	P2.6
9	P2.7	10	0V

➤ **Ficha J2**

- 20 pinos, flat cable
- 6 bits de descodificação gerados pela PAL (SEL1 .. SEL6)
- 8 bits do Porto 0 do μC , que podem ser utilizados como barramento AD0..7 para expansão de memória
- 3 bits de controlo para expansão de memória (WR, RD, ALE)

J2			
Pino nº	Função	Pino nº	Função
1	+5V	2	0V
3	SEL1	4	SEL2
5	SEL3	6	SEL4
7	SEL5	8	SEL6
9	P3.6/WR	10	P3.7/RD
11	P0.0	12	P0.1
13	P0.2	14	P0.3
15	P0.4	16	P0.5
17	P0.6	18	P0.7
19	ALE	20	0V

➤ **Ficha J3**

- 20 pinos, flat cable
- 8 bits do Porto 1 do μC
- 8 bits do Porto 3 do μC

J3			
Pino nº	Função	Pino nº	Função
1	+5V	2	0V
3	P1.0	4	P3.0
5	P1.1	6	P3.1
7	P1.2	8	P3.2
9	P1.3	10	P3.3
11	P1.4	12	P3.4
13	P1.5	14	P3.5
15	P1.6	16	P3.6
17	P1.7	18	P3.7
19	+5V	20	0V

➤ **Ficha J4**

- 10 pinos, flat cable
- 8 bits directamente ligados à FPGA, podendo funcionar como entrada ou saída de dados de acordo com a programação da FPGA

J4			
Pino nº	Função	Pino nº	Função
1	+5V	2	Line 0
3	Line 1	4	Line 2
5	Line 3	6	Line 4
7	Line 5	8	Line 6
9	Line 7	10	0V



➤ **Ficha J5**

- 20 pinos, flat cable
- 18 bits directamente ligados à FPGA, podendo funcionar como entrada ou saída de dados de acordo com a programação da FPGA

J5			
Pino nº	Função	Pino nº	Função
1	+5V	2	Line 8
3	Line 9	4	Line 10
5	Line 11	6	Line 12
7	Line 13	8	Line 14
9	Line 15	10	Line 16
11	Line 17	12	Line 18
13	Line 19	14	Line 20
15	Line 21	16	Line 22
17	Line 23	18	Line 24
19	Line 25	20	0V

➤ **Ficha J6**

- 10 pinos, flat cable
- Ficha JTAG para programação da FPGA a partir do exterior

J6			
Pino nº	Função	Pino nº	Função
1	TCK	2	0V
3	TDO	4	+5V
5	TMS	6	-----
7	-----	8	-----
9	TDI	10	0V

➤ **Jumper J7**

- Jumper de 2 pinos
- Este jumper deve ser inserido para permitir a programação do μ C via Porto série. Deve ser retirado para funcionamento normal

J7			
Pino nº	Função	Pino nº	Função
1	PSEN	2	0V

➤ **Jumper J8**

- Jumper de 2 pinos
- Este jumper deve ser retirado para permitir a programação do μ C via Porto série. Deve ser inserido se se pretender utilizar memória externa

J8			
Pino nº	Função	Pino nº	Função
1	ALE	2	μ ALE



➤ **Ficha J9**

- 9 pinos, DB9
- Ficha para a comunicação RS232 do μ C com o exterior. Pode ser utilizada quer em programação quer em funcionamento normal

J9			
Pino nº	Função	Pino nº	Função
1	-----	2	RxD
3	TxD	4	-----
5	0V	6	-----
7	-----	8	-----
9	-----		

➤ **Ficha J10**

- 4 pinos, SIL
- Ficha de expansão do barramento I²C

J10			
Pino nº	Função	Pino nº	Função
1	+5V	2	SCL
3	SDA	4	0V

➤ **Jumper J11**

- Jumper de 2 pinos
- Este jumper quando inserido permite fazer o reset do μ C

J11			
Pino nº	Função	Pino nº	Função
1	Reset 1	2	Reset 2

➤ **Ficha J12**

- Terminal de 2 pinos
- Alimentação de potência da placa ($\geq 9V$ AC/DC)

J12			
Pino nº	Função	Pino nº	Função
1	AC/DC 1	2	AC/DC 2

➤ **Jumper J13**

- 5 pinos
- Permite a configuração do sinal de Reset para os μ Cs RD2 e XA

J13			
Pino nº	Função	Pino nº	Função
1	+5V	2	SW1
3	0V	4	SW2
5	+5V		



3 FUNCIONAMENTO

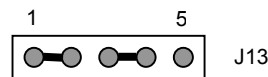
3.1 Alimentação

A alimentação de potência da placa é feita através da ficha J12. A tensão de alimentação pode variar entre 9 e 12 V, AC ou DC. Dado que existe na placa uma ponte rectificadora no circuito de alimentação (BR1), é indiferente a polaridade da tensão DC aplicada a J12.

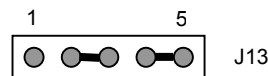
3.2 Reset

A placa pode suportar dois tipos de CPU: RD2 ou XA. Dado que o nível de reset a aplicar a estes μ Cs é diferente, foi prevista uma configuração para cada um dos CPUs através de jumpers colocados em J13.

- Configuração para **RD2**



- Configuração para **XA**



Power Up Reset: sempre que se liga a alimentação da placa, é feito o reset automático do CPU.

Reset manual: pode ser feito o reset manual do CPU curto circuitando os pinos do jumper J11.

3.3 Programação

Qualquer um dos μ Controladores que podem ser utilizados nesta placa dispõe de memória de programa com tecnologia Flash (reprogramáveis electricamente). Além disso, estes μ Cs podem ser programados no próprio circuito através do porto série que se encontra ligado a um PC via porta série RS232. Para que esta programação seja possível, todos estes μ Cs apresentam um 'boot loader' que não é mais do que um conjunto de instruções já existente na memória interna de programa e que ao ser executado permite carregar a memória com o programa do utilizador.



3.3.1 Activação do modo de programação

Para entrar em modo de programação são necessários os seguintes passos:

- Colocar o jumper em J7
- Retirar o jumper de J8
- Efectuar o reset do μ C

A partir deste momento o μ C encontra-se em modo de programação. Através de um protocolo específico, é possível descarregar o programa desenvolvido para a memória de programa do μ C. Este protocolo é implementado por um software especial normalmente desenvolvido pelos fabricantes e que pode ser obtido gratuitamente.

Para o caso do μ C T89C51RD2, a ATMEL fornece o **FLIP** que permite descarregar para a memória de programa um ficheiro hexadecimal (.HEX) obtido a partir da compilação de um programa em Assembly ou C.

<http://www.atmel.com/atmel/products/prod74.htm>

Após a descarga do programa na memória do μ C, é necessário o seguinte conjunto de operações para a execução do programa:

- Retirar o jumper J7
- Colocar o jumper em J8 – Só será necessário colocar este jumper se o sinal ALE estiver a ser usado pelo restante hardware do sistema, isto é, se houver expansão do sistema de memória.
- Efectuar o reset do μ C

A partir deste momento o μ C deverá executar o programa desenvolvido pelo utilizador.

3.3.2 Cabo RS232

